

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yutaka KAWASHIMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: ASYNCHRONOUS SERIAL DATA RECEIVER FOR PACKET TRANSFER

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-261922	September 6, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 6日

出 願 番 号

Application Number:

特願2002-261922

[ST.10/C]:

[JP2002-261922]

出 願 人

Applicant(s):

株式会社東芝

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3021528

【書類名】 特許願

【整理番号】 ASB026101

【提出日】 平成14年 9月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/06

【発明の名称】 シリアルデータ受信回路

【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 川嶋 裕

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアルデータ受信回路

【特許請求の範囲】

【請求項 1】 互いに逆相となる第 1 及び第 2 の信号の差動出力をシリアル受信データとして出力する差動レシーバと、

クロック信号を出力する位相同期発振器と、

前記クロック信号を前記シリアル受信データによりトラッキングしたクロック同期信号、及び前記クロック同期信号に同期するシリアルデータを出力するトラッキング回路と、

前記第 1 及び第 2 の信号が同位相になるとアイドル信号を出力するアイドル検出回路と、

前記クロック同期信号の変化に応じて前記シリアルデータをレジスタに格納し、前記クロック信号の変化に応じて前記格納されたデータを出力するメモリと、

前記シリアルデータの終端の検出から前記アイドル信号の出力が停止されるまで前記メモリを入力禁止状態にするホールド信号を出力するデータ保護回路とを備えることを特徴とするシリアルデータ受信回路。

【請求項 2】 前記データ保護回路は、

前記シリアルデータの終端を検出し、データエンド信号を出力するデータエンド検出回路と、

前記データエンド信号が出力されるタイミングから前記アイドル信号の出力が停止するタイミングまで前記ホールド信号を出力するホールド制御回路

とを備えることを特徴とする請求項 1 に記載のシリアルデータ受信回路。

【請求項 3】 互いに逆相となる第 1 及び第 2 の信号の差動出力をシリアル受信データとして出力する差動レシーバと、

クロック信号を出力する位相同期発振器と、

前記クロック信号を前記シリアル受信データによりトラッキングしたクロック同期信号、及び前記クロック同期信号に同期するシリアルデータを出力するトラッキング回路と、

前記第 1 及び第 2 の信号が同位相になるとアイドル信号を出力するアイドル検

出回路と、

前記クロック同期信号の変化に応じて前記シリアルデータをレジスタに格納し、前記クロック信号の変化に応じて前記格納されたデータを出力するメモリと、前記シリアルデータの終端の検出から前記アイドル信号の出力が停止されるまで前記クロック同期信号が前記メモリに供給されるのを停止するデータ保護回路とを備えることを特徴とするシリアルデータ受信回路。

【請求項 4】 前記データ保護回路は、

前記シリアルデータの終端を検出し、データエンド信号を出力するデータエンド検出回路と、

前記データエンド信号の出力から前記アイドル信号の出力が停止するまで前記クロック同期信号が前記メモリに供給されるのを停止するクロック制御回路とを備えることを特徴とする請求項 3 に記載のシリアルデータ受信回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、シリアルデータ受信回路に係り、特にパケット方式の非同期シリアルデータ受信回路に関する。

【 0 0 0 2 】

【従来の技術】

従来のシリアルデータ受信回路は、図 5 に示すように、差動レシーバ 2 0 1 と、差動レシーバ 2 0 1 の出力端子に接続されたトラッキング回路 2 0 3 と、トラッキング回路 2 0 3 の出力側に接続されたメモリ（F I F O）2 0 4 と、トラッキング回路 2 0 3 及び F I F O 2 0 4 にそれぞれ接続された位相同期発振器 2 0 2 とにより構成される。

【 0 0 0 3 】

図 5 に示す従来のシリアルデータ受信回路は、入力端子 2 5 1 から入力信号 S 1 を、入力端子 2 5 2 から入力信号 S 2 を入力する。次に、差動レシーバ 2 0 1 は入力信号 S 1，S 2 を入力し、2 つの入力信号の差動信号であるシリアル受信データ R X を出力端子から出力する。また、位相同期発振器 2 0 2 は、位相の安

定したクロック信号CKRを出力する。次に、トラッキング回路203はクロック信号CKRとシリアル受信データRXを入力し、シリアル受信データRXの変化に合わせてトラッキングしたクロック同期信号CKW及びシリアルデータDXを出力する。次に、FIFO204は、クロック同期信号CKWの変化に応じてシリアルデータDXを内部レジスタに格納し、同時にライトアドレスポインタをカウントアップする。次に、FIFO204はクロック信号CKRに同期してリードアドレスポインタをカウントアップしながら格納データを出力端子253から出力する。

【0004】

【発明が解決しようとする課題】

図5に示すシリアルデータ受信回路のようにデータ転送に差動方式を用いている場合、図6(a)に示すように、時刻T100と時刻T101との間、2つの入力信号が逆相状態から同相状態に移行するときにリングングノイズが発生する場合がある。このリングングノイズの影響により、図6(b)に示すように、シリアル受信データRXにノイズが重畳することがある。シリアル受信データRXにノイズが重畳した場合、トラッキング回路203は、図6(c)に示すように、パルス間隔の狭い狭クロック信号を出力する場合がある。FIFO204のライトアドレスカウンタはクロック同期信号CKWによってカウントアップしているため、狭クロック信号が出力されるとライトアドレスカウンタが正常に動作しないことがある。すなわち、実際に格納されるデータとライトアドレスポインタ値にずれが生じ、ライトアドレスポインタの示す位置がずれてしまうという問題があった。

【0005】

本発明の目的は、シリアル受信データRXにノイズが重畳することによりクロック同期信号CKWのクロック間隔が変化しても、FIFO204に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明の特徴は、互いに逆相となる第 1 及び第 2 の信号の差動出力をシリアル受信データとして出力する差動レシーバと、クロック信号を出力する位相同期発振器と、クロック信号をシリアル受信データによりトラッキングしたクロック同期信号、及びクロック同期信号に同期するシリアルデータを出力するトラッキング回路と、第 1 及び第 2 の信号が同位相になるとアイドル信号を出力するアイドル検出回路と、クロック同期信号の変化に応じてシリアルデータをレジスタに格納し、クロック信号の変化に応じてレジスタに格納されたデータを出力するメモリと、シリアルデータの終端の検出からアイドル信号の出力が停止されるまでメモリを入力禁止状態にするホールド信号を出力するデータ保護回路とを備えることを要旨とする。

【 0 0 0 7 】

本発明の特徴によれば、シリアル受信データにノイズが重畳することによりクロック同期信号のクロック間隔が変化しても、F I F O に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を提供できる。

【 0 0 0 8 】

【発明の実施の形態】

次に、図面を参照して本発明の第 1 及び第 2 の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。

【 0 0 0 9 】

(第 1 の実施の形態)

本発明の第 1 の実施の形態に係るシリアルデータ受信回路 1 0 a は、図 1 に示すように、第 1 の信号 S 1 及び第 2 の信号 S 2 が逆相のとき、第 1 の信号 S 1 及び第 2 の信号 S 2 の差動出力をシリアル受信データ R X として出力する差動レシーバ 1 と、クロック信号 C K R を出力する位相同期発振器 2 と、クロック信号 C K R をシリアル受信データ R X によりトラッキングしたクロック同期信号 C K W 、及びクロック同期信号 C K W に同期するシリアルデータ D X を出力するトラッキング回路 3 と、第 1 の信号 S 1 及び第 2 の信号 S 2 が同位相になるとアイドル

信号 I S を出力するアイドル検出回路 5 と、クロック同期信号 C K W の変化に応じてシリアルデータ D X をレジスタに格納し、クロック信号 C K R の変化に応じてシリアルデータ D X を出力する F I F O 4 と、シリアルデータ D X の終端の検出からアイドル信号 I S の出力が停止されるまで F I F O 4 を入力禁止状態にするホールド信号 H S を出力するデータ保護回路 9 a とを備える。

【 0 0 1 0 】

データ保護回路 9 a は、シリアルデータ D X の終端を検出しデータエンド信号 E S を出力するデータエンド検出回路 6 と、データエンド信号 E S が出力されるタイミングからアイドル信号 I S の出力が停止するタイミングまでホールド信号 H S を出力するホールド制御回路 7 とを備える。

【 0 0 1 1 】

差動レシーバ 1 の第 1 の入力端子は信号入力端子 5 1 に、第 2 の入力端子は信号入力端子 5 2 にそれぞれ電氣的に接続される。また、アイドル検出回路の第 1 の入力端子は信号入力端子 5 1 に、第 2 の入力端子は信号入力端子 5 2 にそれぞれ電氣的に接続される。差動レシーバ 1 の出力側はトラッキング回路 3 の第 1 の入力側に電氣的に接続される。トラッキング回路 3 の第 1 の出力側は F I F O 4 の入力側及びデータエンド回路の入力側にそれぞれ電氣的に接続される。トラッキング回路 3 の第 2 の出力側は F I F O 4 のライト制御端子に電氣的に接続される。位相同期発振器 2 の出力側はトラッキング回路 3 の第 2 の入力側及び F I F O 4 のリード制御端子にそれぞれ電氣的に接続される。データエンド回路 6 の出力側はホールド制御回路 7 の第 1 の入力側に電氣的に接続される。アイドル検出回路 5 の出力側はホールド制御回路の第 2 の入力側に電氣的に接続される。ホールド制御回路 7 の出力側は F I F O 4 のホールド端子に電氣的に接続される。F I F O 4 の出力側は出力端子 5 3 に電氣的に接続される。

【 0 0 1 2 】

本発明の第 1 の実施の形態に係るシリアルデータ受信回路 1 0 a の動作を、図 2 を用いて説明する。ただし、図 2 (a) に示すように、ここで用いるシリアルデータ D X は、スタートデータ S Y 1、受信情報 D A T A 1、及びエンドデータ E P 1 を含むパケットデータ P D 1 である。スタートデータ S Y 1 とは、データ

の読出し開始位置を指定するデータであり、エンドデータ E P 1 は、データの読出し終了位置を指定するデータである。スタートデータ S Y 1、受信情報 D A T A 1、エンドデータ E P 1 は互いに逆相となる第 1 の信号 S 1 及び第 2 の信号 S 2 からなる信号群のことを意味している。互いに逆相となる第 1 の信号 S 1 と第 2 の信号 S 2 は、差動状態で動作する信号のことを言う。ここでは、図 2 (a) で示すパケットデータ P D 1 は、信号群を時間軸に対して機能別に分類したものを模式的に表現したものである。また、パケットデータ P D 1 には冗長なデータが付加される可能性があるが、ここでは冗長なデータは付加されないとして説明する。

【 0 0 1 3 】

(イ) 先ず、時刻 t_1 において、シリアルデータ受信回路 1 0 a は、互いに逆相の第 1 の信号 S 1 と第 2 の信号 S 2 からなる信号群である第 1 のパケットデータ P D 1 を受信する。第 1 の信号 S 1 と第 2 の信号 S 2 はそれぞれ差動レシーバ 1 の第 1 の入力端子と第 2 の入力端子に入力される。次に、差動レシーバ 1 は、出力端子から第 1 の信号 S 1 と第 2 の信号 S 2 の差動信号をシリアル受信データ R X として出力する。トラッキング回路 3 は、入力されたシリアル受信データ R X によりクロック信号 C K R をトラッキングしたクロック同期信号 C K W と、クロック同期信号 C K W に同期するシリアルデータ D X を出力する。また、互いに逆相である第 1 の信号 S 1 と第 2 の信号 S 2 が入力されると、図 2 (b) に示すように、アイドル検出回路 5 はローレベル信号を出力する。時刻 t_1 以降、第 1 のパケットデータ P D 1 の受信が終了するまでの間、F I F O 4 は、クロック同期信号 C K W の変化に応じてライトアドレスポインタをカウントアップしながらシリアルデータ D X を順にレジスタに格納する。また、F I F O 4 は、クロック信号 C K R の変化に応じてリードアドレスポインタをカウントアップしながら、レジスタに格納されたデータを出力端子 5 3 に出力する。

【 0 0 1 4 】

(ロ) 次に、時刻 t_2 において、シリアルデータ R X のエンドデータ E P 1 の受信が終了すると、データエンド検出回路 6 はデータエンド信号 E S を出力する。ただし、データエンド信号 E S は、図 2 (c) に示すように、ワンショットパ

ルス信号として説明している。ホールド制御回路 7 は、図 2 (e) に示すように、データエンド信号 E S が出力されるタイミングで F I F O 4 にホールド信号 H S を出力する。F I F O 4 は、ホールド信号 H S が入力されると入力禁止状態に移行し、ライトアドレスポインタの現状のカウント値を維持する。また、アイドル検出回路 5 はハイレベル信号となりアイドル信号 I S を出力する。

【 0 0 1 5 】

(ハ) 次に、時刻 t_3 において、第 2 のパケットデータ P D 2 が入力されると、図 2 (b) に示すように、アイドル検出回路 5 はアイドル信号 I S の出力を停止しローレベルとなる。アイドル検出回路 5 の出力がローレベルになると、ホールド制御回路 7 は、ホールド信号 H S の出力を停止し、F I F O 4 への入力禁止状態を解除する。

【 0 0 1 6 】

本発明の第 1 の実施の形態に係るシリアルデータ受信回路 1 0 a によれば、シリアル受信データ R X にノイズが重畳することによりクロック同期信号 C K W のクロック間隔が変化しても、F I F O 4 に格納されるシリアルデータ D X とライトアドレスポインタ値の対応関係を維持することが可能となる。

【 0 0 1 7 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係るシリアルデータ受信回路 1 0 b のデータ保護回路 9 b は、図 3 に示すように、図 1 に示すホールド制御回路 7 をクロック制御回路 8 としている点で異なる。レジスタ保持制御部が F I F O 4 のホールド端子に接続されいたのに対し、クロック制御回路 8 は、トラッキング回路 3 の第 2 の出力端子と F I F O 4 のクロック端子との間に接続されている。

【 0 0 1 8 】

本発明の第 2 の実施の形態に係るシリアルデータ受信回路 1 0 b の動作を図 4 を用いて説明する。

【 0 0 1 9 】

(イ) 先ず、時刻 t_1 において、シリアルデータ受信回路 1 0 b は、互いに逆相となる第 1 の信号 S 1 と第 2 の信号 S 2 からなる信号群である第 1 のパケットデ

ータPD1を受信する。第1の入力S1は第1の入力端子に、第2の信号S2は第2の入力端子に入力される。次に、差動レシーバ1は、出力端子から第1の信号S1と第2の信号S2の差動信号をシリアル受信データRXとして出力する。トラッキング回路3は、シリアル受信データRXによりクロック信号CKRをトラッキングしたクロック同期信号CKW1と、クロック同期信号CKW1に同期するシリアルデータDXを出力する。また、互いに逆相である第1の信号S1と第2の信号S2が入力されると、図4（b）に示すように、アイドル検出回路5はローレベル信号を出力する。時刻t1以降、第1の packets データPD1の受信が終了するまでの間、クロック制御回路8は、図4（e）に示すように、クロック同期信号CKW1をそのまま第2のクロック同期信号CKW2として出力する。FIFO4は、第2のクロック同期信号CKW2の変化に応じてライトアドレスポインタをカウントアップしながらシリアルデータDXを順にレジスタに格納する。また、FIFO4は、クロック信号CKRの変化に応じてリードアドレスポインタをカウントアップしながら、レジスタに格納されたデータを出力端子53に出力する。

【0020】

（ロ）次に、時刻t2において、シリアルデータRDのエンドデータEP1の受信が終了すると、データエンド検出回路6はデータエンド信号ESを出力する。ただし、データエンド信号ESは、ワンショットパルス信号として説明している。クロック制御回路8は、データエンド信号ESが出力されるタイミングで、図4（e）に示すように、第2のクロック同期信号CKW2の出力を停止する。第2のクロック同期信号CKW2の出力が停止すると、FIFO4はライトアドレスポインタの現状のカウント値を維持する。また、アイドル検出回路5はハイレベルとなりアイドル信号ISを出力する。

【0021】

（ハ）次に、時刻t3において、第2の packets データPD2が入力されると、図4（b）に示すように、アイドル検出回路5はアイドル信号ISの出力を停止しローレベルとなる。アイドル検出回路5の出力がローレベルになると、クロック制御回路8は再び第2のクロック同期信号を出力する。

【 0 0 2 2 】

本発明の第 2 の実施の形態に係るシリアルデータ受信回路 1 0 b によれば、シリアル受信データ R X にノイズが重畳することによりクロック同期信号 C K W 1 のクロック間隔が変化しても、F I F O 4 に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能となる。

【 0 0 2 3 】

(その他の実施の形態)

上記のように、本発明は第 1 ～第 2 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 0 2 4 】

既に述べた第 1 及び第 2 の実施の形態の説明においては、位相同期発振器 2 は P L L を用いることが好適であるが、安定した位相が得られる発振源であればこれに限定されない。

【 0 0 2 5 】

また、図 1 及び図 3 で示す F I F O 4 は、先入れ先出しメモリであるとして説明しているが、ライトアドレス及びリードアドレスを別々に且つ同時に制御可能なメモリを用いることも可能である。

【 0 0 2 6 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 2 7 】

【発明の効果】

本発明によれば、シリアル受信データにノイズが重畳することによりクロック同期信号 C K W のクロック間隔が変化しても、F I F O に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路及び半導体集積回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係るシリアルデータ受信回路を説明する図である。

【図 2】

本発明の第 1 の実施の形態に係るシリアルデータ受信回路の動作タイミングチャートを説明する図である。

【図 3】

本発明の第 2 の実施の形態に係るシリアルデータ受信回路を説明する図である。

【図 4】

本発明の第 3 の実施の形態に係るシリアルデータ受信回路を説明する図である。

【図 5】

従来のシリアルデータ受信回路について説明する図である。

【図 6】

従来のシリアルデータ受信回路の動作タイミングチャートを説明する図である。

【符号の説明】

- 1, 2 0 1 …差動レシーバ
- 2, 2 0 2 …位相同期発振器
- 3, 2 0 3 …トラッキング回路
- 4 …メモリ
- 5 …アイドル検出回路
- 6 …データエンド検出回路
- 7 …ホールド制御回路
- 8 …クロック制御回路
- 1 0 a, 1 0 b …シリアルデータ受信回路
- C K R …クロック信号

C K W … クロック同期信号

D X … シリアルデータ

E S … データエンド信号

H S … ホールド信号

I S … アイドル信号

R X … シリアル受信データ

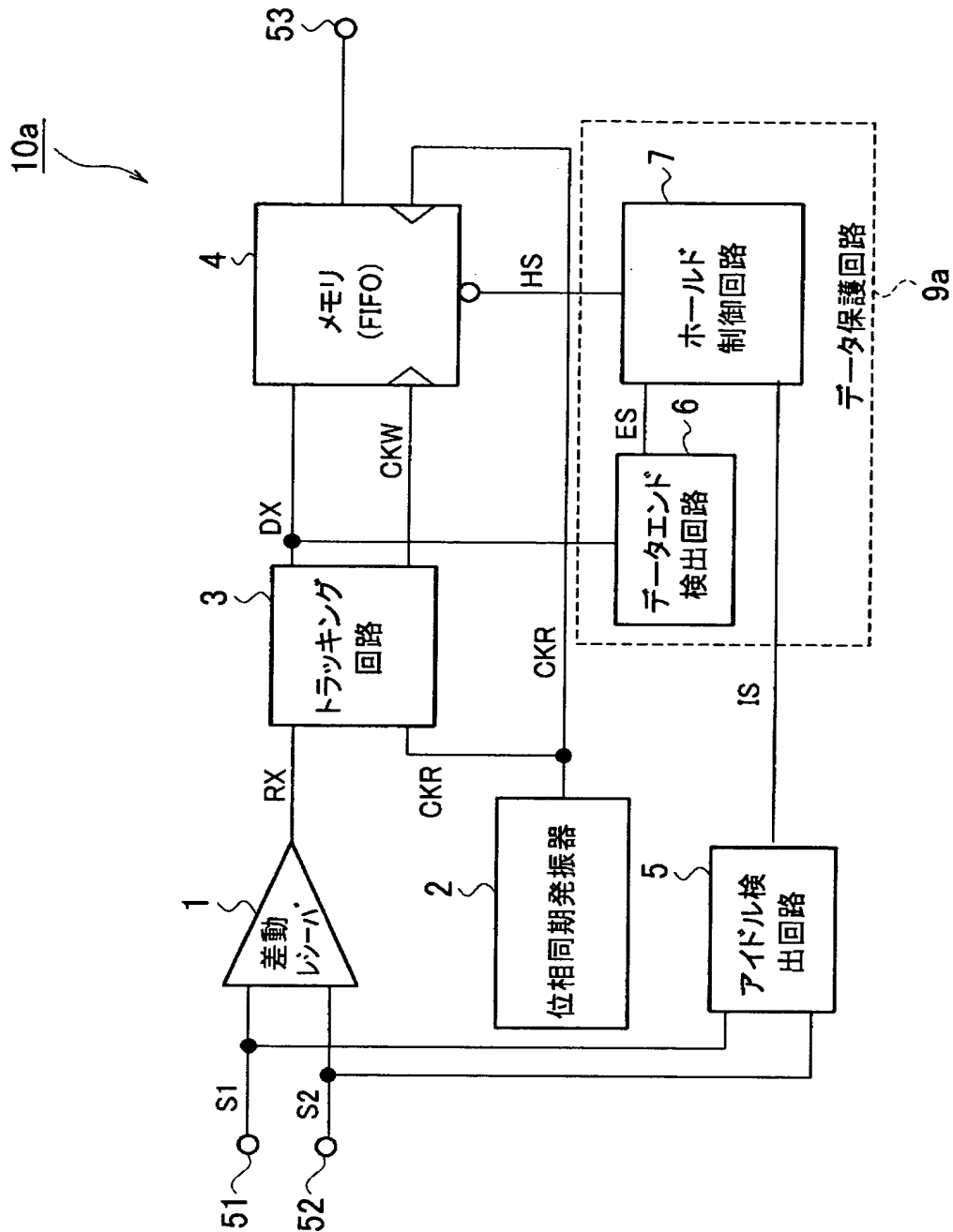
S 1 … 第 1 の信号

S 2 … 第 2 の信号

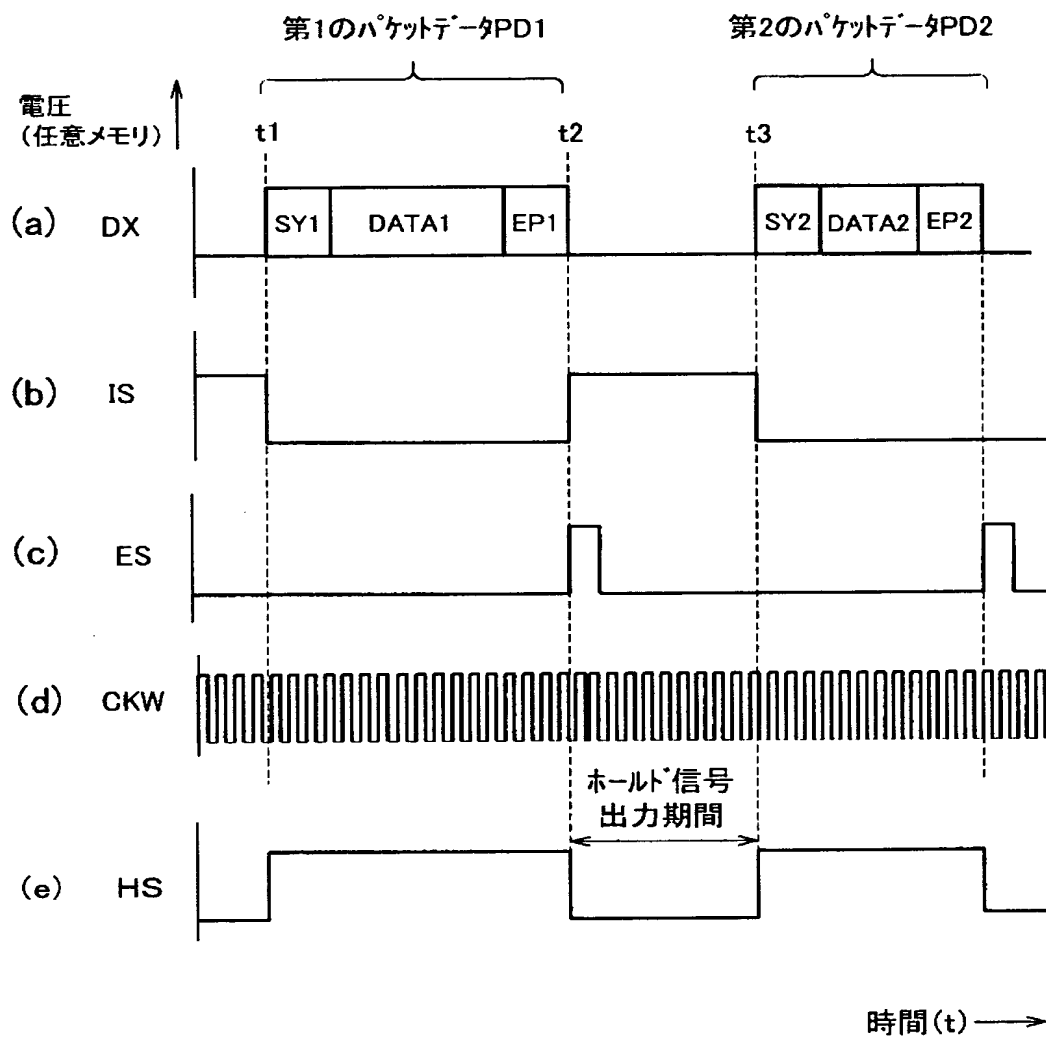
【書類名】

図面

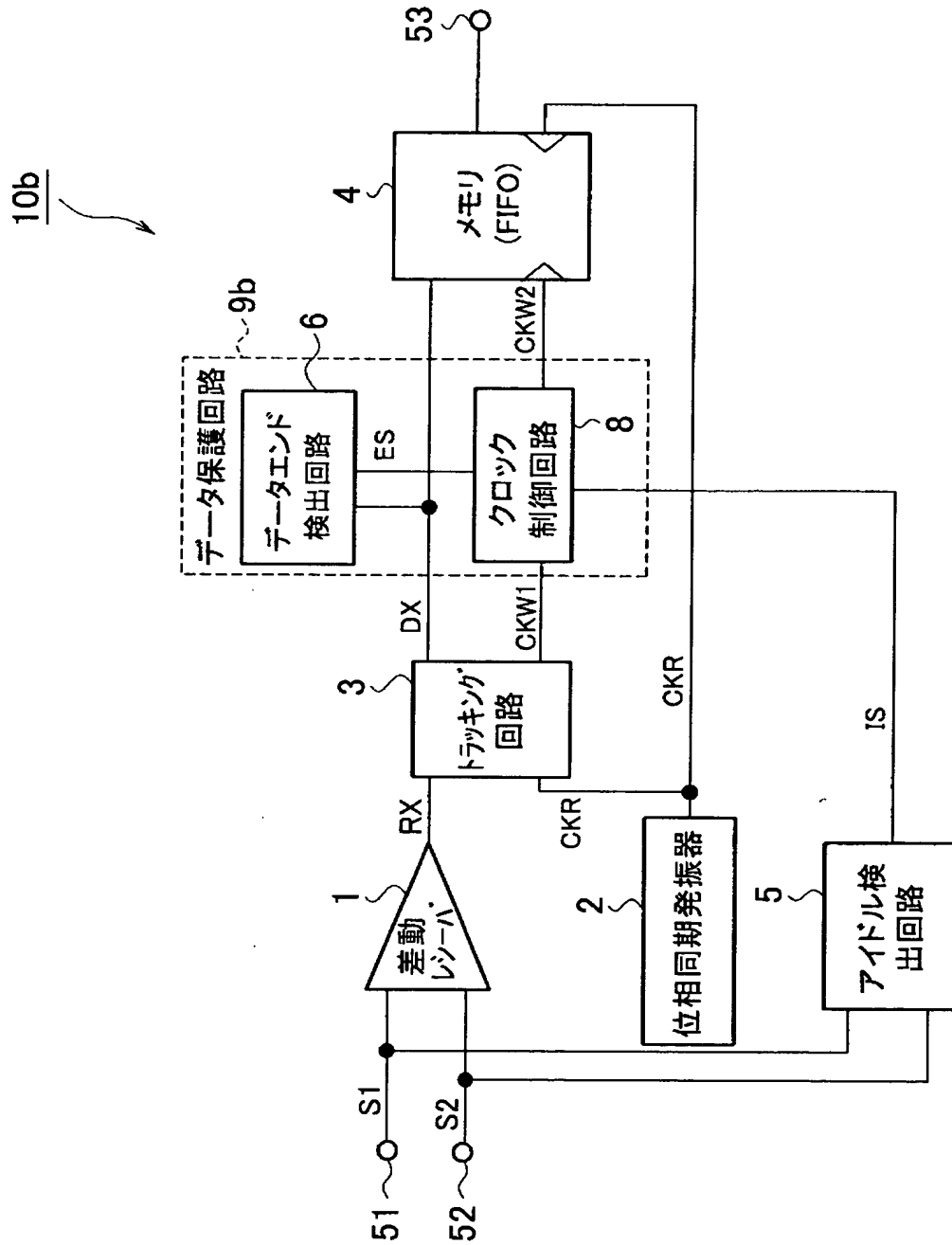
【図 1】



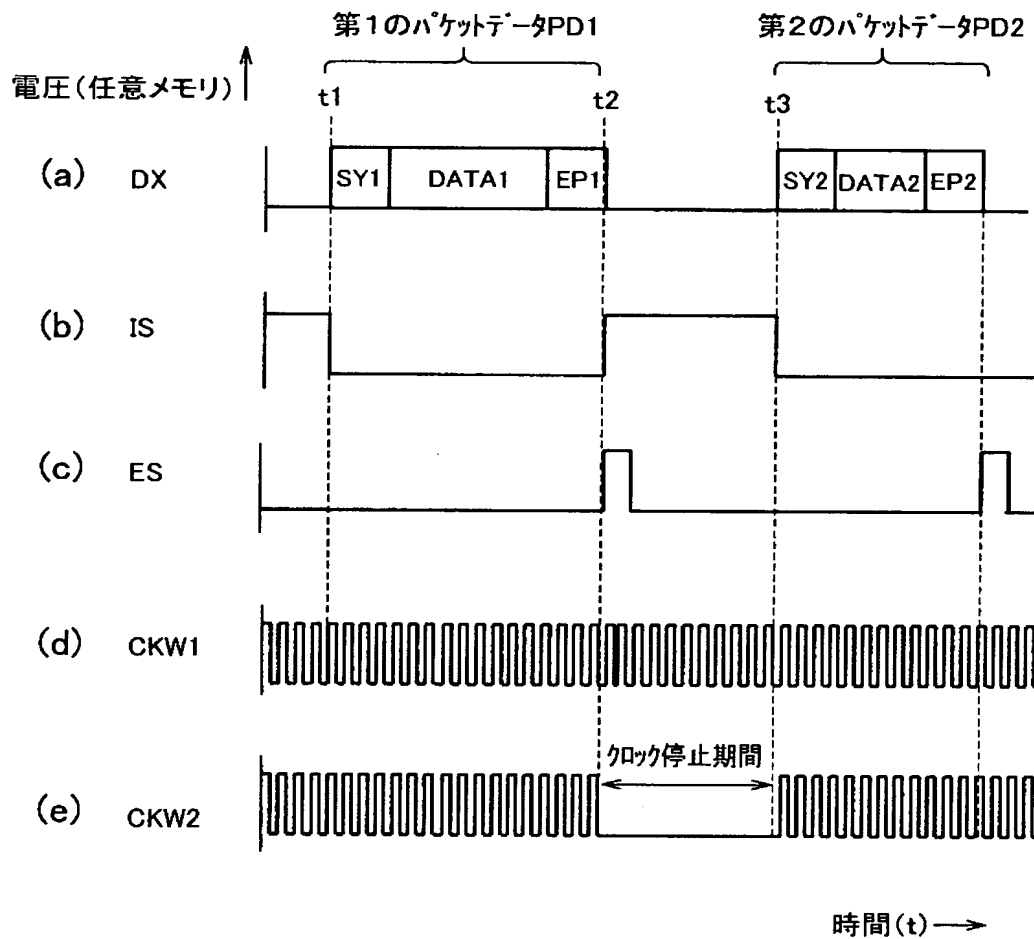
【図 2】



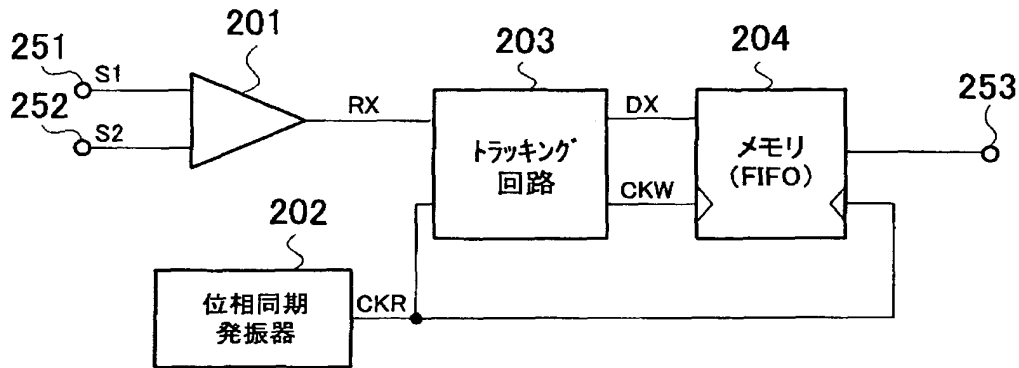
【図 3】



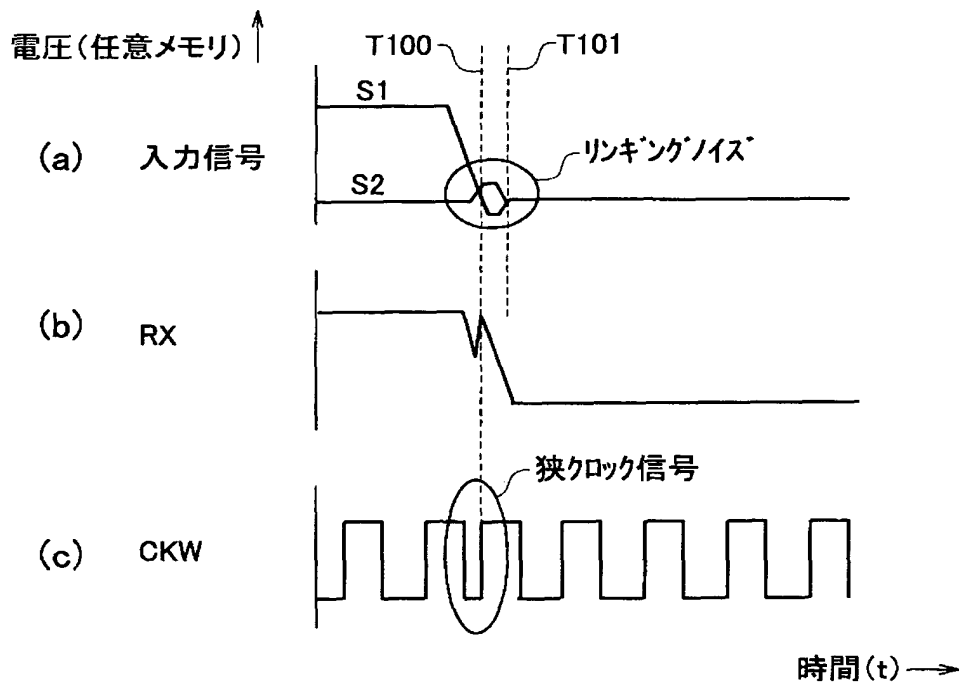
【図 4】



【図 5】



【図 6】





【書類名】 要約書

【要約】

【課題】 シリアル受信データにノイズが重畳することによりクロック同期信号のクロック間隔が変化しても、F I F O に格納されるシリアルデータとライトアドレスポインタ値の対応関係を維持することが可能なシリアルデータ受信回路を得る。

【解決手段】 差動レシーバ 1 から出力されるシリアル受信データ R X、位相同期発振器 2 から出力されるクロック信号 C K R をシリアル受信データ R X によりトラッキングしたクロック同期信号 C K W 及びシリアルデータ D X を出力する。データエンド信号 E S がデータエンド検出回路 6 より出力されるタイミングからアイドル検出回路 5 より出力されるアイドル信号 I S の供給が停止されるまでホールド信号 H S を出力し、F I F O 4 への書込みを禁止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝